

DIALOG(R)File 352:DERWENT WPI

(c)1998 Derwent Info Ltd. All rts. reserv.

008591891 **Image available**

WPI Acc No: 91-095923/199114

XIAM Acc No: C91-041003

XRPX Acc No: N91-074153

Semiconductor thin film prodn. - by two-stage heat treatment of amorphous silicon film

Patent Assignee: CANON KK (CANO)

Inventor: YONEHARA T

Number of Countries: 007 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 420516	A	19910403	EP 90310341	A	19900921		199114 B
JP 3109717	A	19910509	JP 89247662	A	19890923		199125
US 5278093	A	19940111	US 90587111	A	19900924	H01L-021/20	
199403	US	92919372	A	19920729			
EP 420516	B1	19960724	EP 90310341	A	19900921	H01L-021/20	
199634							

Priority Applications (No Type Date): JP 89247662 A 19890923

Cited Patents: 5.Jnl.Ref; WO 8904550

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
US 5278093	A		6	Cont of		US 90587111
EP 420516	B1	E	7			

Designated States (Regional): DE FR GB IT NL

Abstract (Basic): EP 420516 A

A semiconductor thin film forming process involves crystallising an amorphous silicon thin film by heat treating at upto 700 deg.C for at least 10 hrs. and then heat treating at at least 1200 deg.C by exposure to a lamp pref. for 1-3 mins.

A semiconductor forming process involves crystal growth and opt. initiation in a low temp. stage followed by a high temp. stage.

USE/ADVANTAGE - The processes are useful for forming a polysilicon thin film on structural elements of a 3-D IC or a large area electronic device. The resulting thin film is formed rapidly, has bulk uniformity and has a large grain size and few intragranular defects. (8pp

Dwg.No.1/1)

Title Terms: SEMICONDUCTOR; THIN; FILM; PRODUCE; TWO-STAGE; HEAT; TREAT; AMORPHOUS; SILICON; FILM

Derwent Class: L03; U11; U13

International Patent Class (Main): H01L-021/20

International Patent Class (Additional): C30B-001/02; H01L-021/324;

H01L-027/00 File Segment: CPI; EPI

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-109717

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月9日

H 01 L 21/20
C 30 B 1/02
H 01 L 27/00
// H 01 L 21/324

3 0 1 R

7739-5F
8618-4G
7514-5F
7738-5F

審査請求 未請求 請求項の数 10 (全5頁)

⑯ 発明の名称 半導体薄膜の形成方法

⑰ 特 願 平1-247662

⑱ 出 願 平1(1989)9月23日

⑲ 発 明 者 米 原 隆 夫 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
⑲ 代 理 人 弁理士 福 森 久 夫

明 細 書

1. 発明の名称

半導体薄膜の形成方法

2. 特許請求の範囲

(1) 非晶質半導体薄膜に対し、該半導体の融点(ケルビン単位)の80%以下の温度で10時間以上の第1次熱処理を行い、次いで、該半導体の融点(ケルビン単位)の85%以上の温度で第2次熱処理を行うことを特徴とする半導体薄膜の形成方法。

(2) 前記第2次熱処理を、該半導体の融点(ケルビン単位)の90%以上の温度で行うことを特徴とする請求項1記載の半導体薄膜の形成方法。

(3) 半導体はSiであり、第1次熱処理温度は700℃以下、第2次熱処理温度は1200℃以上である請求項1記載の半導体薄膜の形成方法。

(4) 半導体はSiであり、第2次熱処理を1300℃以上の温度で行うことを特徴とする請求項1記載の半導体薄膜の形成方法。

請求項2記載の半導体薄膜の形成方法。

(5) 前記第2次熱処理はインコヒーレント光を用いて行うことを特徴とする請求項1ないし4記載の半導体薄膜の形成方法。

(6) 第2次熱処理を、第1次熱処理により形成された多結晶半導体薄膜上にキャッピング材料を設けて行うことを特徴とする請求項1ないし6記載の半導体薄膜の形成方法。

(7) キャッピング材料はスパッタリングにより形成されたSiO₂、ないしSi₃N₄であることを特徴とする請求項6記載の半導体薄膜の形成方法。

(8) キャッピング材料の厚さを10nm～100nmとすることを特徴とする請求項6または7記載の半導体薄膜の形成方法。

(9) 第2次熱処理温度への昇温速度を100℃/sec～500℃/secとすることを特徴とする請求項1ないし8記載の半導体薄膜の形成方法。

(10) 第2次熱処理における加熱時間を1～3

特開平3-109717(2)

分開とすることを特徴とする請求項1ないし9記載の半導体薄膜の形成方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、例えば3次元集積回路の構成要素あるいは大面積電子素子に適用される半導体薄膜の形成方法に関する。

〔従来の技術〕

従来、非晶質基板上に結晶薄膜を形成する方法としては、基板上に予め形成された非晶質薄膜を融点以下の低温における熱処理によって固相成長させる方法が提案されている。

例えば、非晶質のSiO₂上に形成され、イオン注入によって非晶質化された膜厚100nm程度の非晶質Si薄膜を、N₂雰囲気中において600℃で数時間熱処理することにより固相成長を行わせ、前記非晶質Si薄膜を結晶化すると、この非晶質Si薄膜は、粒径が5μmにも達する多結晶Si薄膜になるという技術が報告されている(T. Noguti, H. Hayashi and H. Ohshima

枝状)成長であるため、各結晶粒内部には大量の結晶欠陥が存在すると考え、透過電子顕微鏡で結晶構造を実際に観察した結果、大量の欠陥が存在することを、また、キャリア移動度も制限されることを本発明者は確認した。

他方、非晶質絶縁物基板上の結晶成長技術として、エネルギービーム(コヒーレント光(レーザー光)、電子線、イオン線)等を用いた局所的な高温熱処理が報告されている。この方法は、エネルギービームを絞り、局所領域を融点近くまで昇温して結晶化させる方法であり局所的加熱であるため、基板全体は、温度が上昇せず実質的に低温プロセスとなり得る。しかし、局所加熱法であるということは、基板全面の大面積領域を熱処理するためには、ビームを走査せざるを得ず、加えるに、そのビーム走査時のビームの重なり具合、焦点深度等の微調整が必要となり、大面積を均一に、処理するには長時間を要し、生産性、制御性の両点において問題が山積している。

本発明の目的は、大粒径で粒内欠陥の少ない半

1987, Mts. Res. Soc. Symp. Proc. 106, Polysilicon and Interfaces, 233, Elsevier Science Publishing, New York 1989)。この方法により得られる多結晶薄膜の粒径は、減圧CVD法で堆積した多結晶膜の粒径よりも百倍程も大きいため、その薄膜上には高性能の電子素子の作製が可能である。例えば、上記方法により得られた薄膜上に形成された電界効果トランジスタ(MOSFET)の電子移動度は、堆積されたまま多結晶となる減圧CVD法で堆積した薄膜上に形成されたMOSFETの電子移動度に比べて数倍から数十倍高い。より具体的には、PチャネルあるいはNチャネルMOSFETを作製した場合、後者のキャリア移動度は約50cm²/V・secとなり、前者の移動度は100cm²/V・secとなる。

しかしながら、この技術は次のような問題を有していることを本発明者は確認した。すなわち、この技術における結晶成長様式は、双晶粒界を導入することによって成長するデンドリチック(樹

導体薄膜を、短時間に均一性良く大面積にわたり一括して形成することが可能な半導体薄膜の形成方法を提供することを目的とする。

〔問題を解決するための手段〕

本発明の半導体薄膜の形成方法は、非晶質半導体薄膜に対し、該半導体の融点(ケルビン単位)の80%以下の温度で10時間以上の第1次熱処理を行い、次いで、該半導体の融点(ケルビン単位)の85%以上の温度で第2次熱処理を行うことを特徴とする。

〔作用〕

以下に本発明の作用・効果の詳細を本発明をなすに際し得た知見とともに説明する。なお、以下の説明は、半導体としてSiを例にとり行うが、他の半導体についても同様に適用し得ることはいうまでもない。

本発明者は、非晶質Si薄膜にランプによるインコヒーレント光を照射して熱処理に際し、その照射後の結晶構造を透過電子顕微鏡でたんに、大量の試料について観察を行ったところ次の

特開平3-109717(3)

重要な知見を得た。

①非晶質S1薄膜に、タンダステンハロゲンランプ光(波長0.5~3.5 μm)を直接照射し、1100℃以上に1~3分間加熱すると、結晶化が起り、特に1200℃以上の加熱処理により1 μm 以下の粒径をもつ多結晶薄膜となり、粒内には、等傾角干渉縞が観察される程に欠陥が少なくなることが分った。

②非晶質S1薄膜を、700℃で10時間~100時間熱処理することにより固相成長させ、粒径が1 μm 以上の大粒径樹枝状結晶を成長させた後に、1100℃以上の温度でランプによる照射を行うと、粒内の結晶欠陥(積層欠陥、マイクロ双晶、転位、空孔等)が前記①と同様に減少し、特に1200℃以上の熱処理により結晶欠陥は激減することが確かめられた。更にこの場合には粒界の移動・消滅が観察されないことが特徴であった。

③前記①、②において、1300℃、1400℃(加熱時間3分)と温度を上昇させるにしたが

伴った粒成長は起こらない。

この様にして作製した大面積均一な結晶構造に変化せしめたS1薄膜にトランジスタ(Pチャネル電界効果トランジスタ)を作製した正孔キャリア移動度とサブスレッショールド性をランプ加熱温度に対して図示したものを第1図にかかげる。まず、前記①の試料、即ち非晶質S1に直接ランプ加熱により高温処理したものにMOSFETを作製した結果を、黒丸(●)のプロットで示す。正孔キャリア移動度は1200℃未満の熱処理までは、ほとんど変化なく、10 $\text{cm}^2/\text{V}\cdot\text{s}$ 以下であるが1300℃以上の熱処理したものでは、急に移動度が向上し、10 $\text{cm}^2/\text{V}\cdot\text{s}$ を超える。サブスレッショールド係数は、1000 mV/decade 以上であり、このグラフにものらない程劣悪であった。

前記②の試料即ち、非晶質S1薄膜を一塩低溫で固相成長させ、1 μm 以上の大粒径化を行った後にランプを照したものに、MOSFETを作製したものの正孔キャリア移動度の変化を白丸

い、粒内の欠陥の量が減少することもわかった。これらの現象は次の様に理解される。

前記①の場合には、非晶質S1薄膜が、一気に1100℃以上に加熱された結果、固相内の核形成速度が前記②の場合より高く、成長後、粒同士の衝突によって形成される粒界によって決定される粒径は微小な1 μm 以下のものとなり、更に、欠陥の自由エネルギーの減少を駆動力とした欠陥の移動・消滅がおきたものと判断される。この時、粒界エネルギー減少を駆動力とした粒成長も合わせて起きている。

前記②の場合には、低溫アニールであるために、固相内での核形成速度が低く制限され、700℃以下10時間以上の熱処理で、1ミクロン以上の粒径となる。すなわち、大粒径の樹枝状多結晶が成長し、その後ランプによる1200℃で加熱により、粒内の欠陥エネルギー減少を駆動力として欠陥群が移動・消滅する。但し、最大粒径が1 μm 以上と大きいため、粒界エネルギーの状態は、前記①の場合より低く、粒界の移動を

(○)で示し、サブスレッショールド係数の変化を三角(△)で示す。低溫固相成長したままのランプ照射を施す前のトランジスタでさえ、既にキャリア移動度が40 $\text{cm}^2/\text{V}\cdot\text{s}$ を超えており、1200℃まではゆるやかな向上があり58 $\text{cm}^2/\text{V}\cdot\text{s}$ となった。

さらに、1200℃以上の光照射加熱により、急激にその特性は向上し、1400℃では140 $\text{cm}^2/\text{V}\cdot\text{s}$ となり、その特性は飛躍的に改善される。この向上は、1300℃以上で特に著しいことも判明した。同時にサブスレッショールド特性は1200℃までは700 mV/decade 以上であり、1200℃以上の熱処理により減少がはじまり、1300℃以上で特に著しい向上が観測される。

以上をまとめると、半導体非晶質薄膜に700℃以下10時間以上の第1次熱処理を施すと、固相における核形成速度が低減し、最大粒径がミクロンサイズの大粒径樹枝状結晶が成長する。次に、1200℃以上の熱処理(例えばランプによ

特開平3-109717(4)

るインコヒーレント光を露光域に照射することにより熱処理)を施すと、第1次熱処理により成長した粒径に変化をもたらすことなく粒内の結晶欠陥が減少し、デバイス特性の向上を図ることができることが判明し、本発明をなすにいたったものである。

なお、第1次熱処理を700℃を越えた温度で行うと得られる多結晶薄膜の最大粒径は1μm以下のものになってしまうため700℃以下とする。下限温度は、固相成長が生ずるに十分な温度である。具体的には、非晶質薄膜の材料等により左右されるため、予め実験等により求めておき適宜設定すればよい。一方、第1次熱処理の時間が10時間未満では、固相成長が完全には進行せず、非晶質が残存するおそれがあるため10時間以上とする。

なお、第2次熱処理はランプを用いインコヒーレント光で加熱を行うことが好ましい。かかるランプ加熱によれば非常に短時間(数秒)で1200℃以上の温度に達し、下降も極めて迅速に行われ

ることが好まし。

一方、粒径の制御をより精密に行う上からは、第2次熱処理温度への昇温速度を100℃/sec～500℃/secとすること、第2次熱処理における加熱時間を1～3分間とすることが好ましい。

【実施例】

(実施例1)

Siウェハ上に0.1μm厚のSiO₂熱酸化膜を成長させた基板上に、減圧CVD法(化学気相法)により0.1μm厚の多結晶Si膜を620℃で0.3 Torrで形成した。ソースガスはSiH₄を用いた。

この多結晶Si薄膜全域にSi⁺イオンを40 keVの注入エネルギーで、 $3 \times 10^{11} \text{ cm}^{-2}$ の注入量でイオン注入し、多結晶Si薄膜を非晶質化した。

次に、600℃×50時間の熱処理をN₂中で電気炉を用いて行い(第1次熱処理)、樹枝状大粒径結晶(多結晶Si薄膜)を成長させた。この

る。さらに成長を選択することにより、Si薄膜のみの選択的加熱も可能であり効率よく粒内の欠陥を低減せしめることができる。この2つの点において一般上用いられている電気炉に対して有利である。とりわけ、通常の電気炉では1200℃以上の加熱は困難である。また、その大面積均一性においてもレーザー加熱法(走査)に比べて格段に向上している。

なお、本発明においては、第2次熱処理を、第1次熱処理により形成された多結晶半導体薄膜上にキャッピング材料を設けて行うことが好ましい。かかるキャッピング材料を設けることにより形成する薄膜の表面粗度を極めて平滑にすることができる。キャッピング材料は、第2次熱処理により生じるずるおそれがある薄膜表面の荒れ(表面の凹凸)の発生を防止する役割を有するものと考えられる。

なお、キャッピング材料はスパッタリングにより形成されたSiO₂、ないしSi₃N₄が好ましい。また、その厚さは10nm～100nmとす

多結晶Si薄膜の粒径を調整したところ0.1～5μmであった。

この多結晶Si薄膜をタングステンハロゲンランプを両面よりSiウェハが昇温速度300℃/secで1400℃になる様に照射し1分間この温度に保持した(第2次熱処理)。以上のようにして作成した多結晶Si薄膜の粒径を調整したところ0.1～5μmであり第2次熱処理の前後により粒径の分布に変化はなかった。

なお、本例ではランプ照射中に生ずる薄膜の表面荒れを防止するため、多結晶Si薄膜の表面に、50nmのSiO₂(キャッピング材料)をスパッタリングによってキャップした。キャッピング材料を剥離して表面粗度を測定したところ表面の凹凸は数十nm以内であった。

上記のようにして得られた薄膜上に、ICプロセスを用いて、ポリシリコンゲートのPチャネルMOSFETを作製した。その移動度は140 cm²/V・secであった。

(実施例2)

特開平3-109717(5)

石英基板上に $0.1\mu\text{m}$ 厚の非晶質Si薄膜を減圧CVD法で堆積した。堆積温度 550°C 、圧力 0.3Torr であった。

この非晶質Si薄膜に Si^+ イオンを全面にわたり、 40keV 、 $1 \times 10^{15}/\text{cm}^2$ で注入した。

次に、 $600^\circ\text{C} \times 50$ 時間の熱処理を N_2 中において電気炉で行い固相成長させた。成長した多結晶Si膜の粒径は $0.1 \sim 5\mu\text{m}$ であった。

この薄膜上に 50nm の SiO_2 （キャッピング材料）をスパッターで被覆した後、さらにタングステンハロゲンランプを用いて、Si薄膜上に、Siウェハを光吸収物として接触させ【実施例1】と同様に昇温速度 $200^\circ\text{C}/\text{sec}$ で昇温し、 1400°C の光加熱を1分間行った。得られた薄膜の粒径も $0.1 \sim 5\mu\text{m}$ であった。

キャップ SiO_2 、スパッター膜を除去し、通常のICプロセスによってPチャネルMOSFETを作製した。その移動度は $140\text{cm}^2/\text{V} \cdot \text{sec}$ であった。

れたデバイス特性に著しい向上がもたらされる。

4. 図面の簡単な説明

第1図は、第2次熱処理における加熱温度が電子特性に与える影響を示すグラフである。

(実施例3)

Siウェハ上の $0.1\mu\text{m}$ 厚の熱酸化膜上に真空蒸着によって非晶質Si膜を $0.1\mu\text{m}$ 厚に堆積した。真空度 $3 \times 10^{-3}\text{Torr}$ 、蒸着速度 $0.2\text{\AA}/\text{sec}$ であった。基板温度は、蒸着中 300°C であった。この非晶質Si膜を電気炉で N_2 中 600°C 50時間の熱処理を施し、 $1\mu\text{m}$ 以上の大粒径樹枝状多結晶を成長させた後、 SiO_2 50nm の厚さにスパッター膜のキャップを被覆した。タングステンハロゲンランプ（波長 $0.5 \sim 3.5\mu\text{m}$ ）を両面より照射し昇温速度 $200^\circ\text{C}/\text{sec}$ とし、 1350°C で2分間加熱した。得られた薄膜の粒径は約 $3\mu\text{m}$ であった。その後、通常のICプロセスでMOSFETを作製した。その移動度は $100\text{cm}^2/\text{V} \cdot \text{sec}$ であった。

【発明の効果】

本発明によれば、大粒径で粒内欠陥のない半導体薄膜を、短時間に均一性良く大面積にわたり一括して形成することが可能となり、そこに作製さ

第1図

